



基本情報技術者

Chapter 6

メモリ

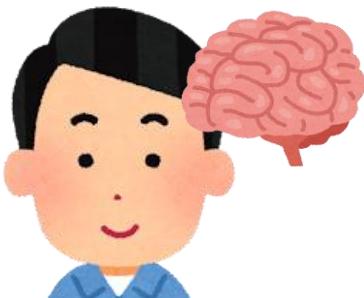
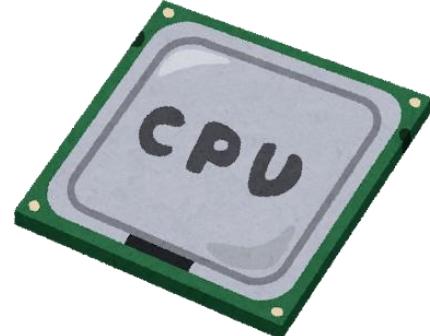
2022/6/27(月)

担当：新田晃啓

メモリ(Memory) = 記憶する

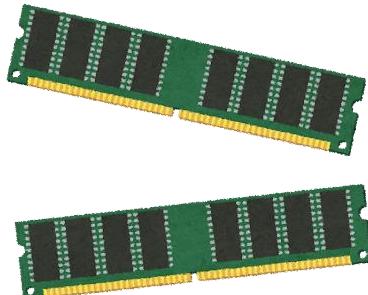
プログラムやデータを記憶しておく

CPU



作業をする人

メモリ



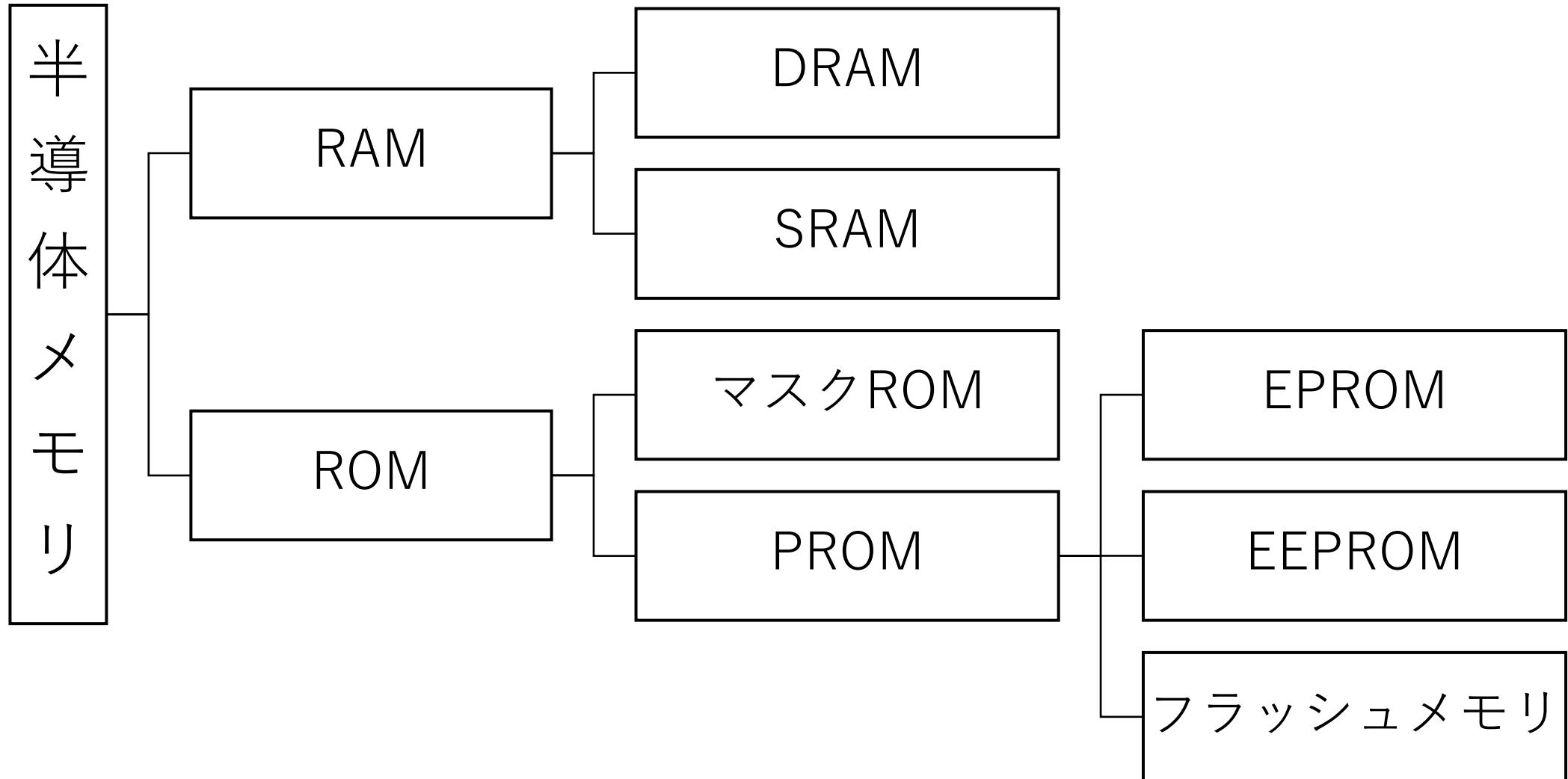
資料を広げる作業机

HDD



資料をしまう本棚

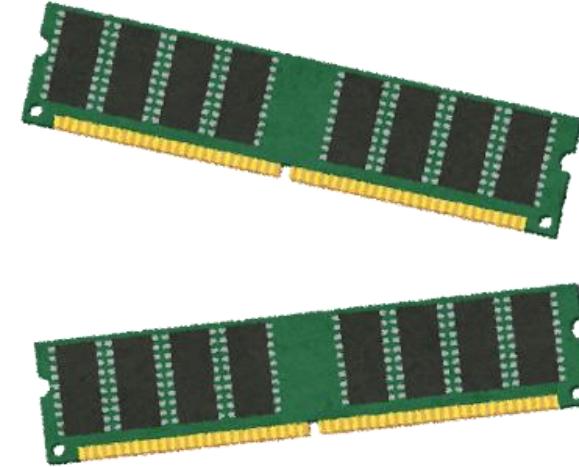
メモリの分類



メモリの分類

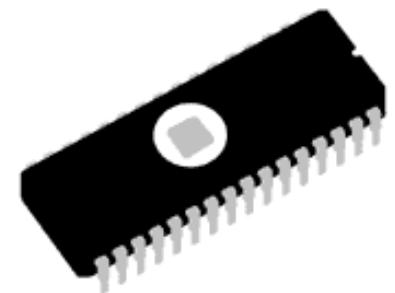
- RAM (Random Access Memory)

- ランダムに読み書きできるメモリ
- 電源を切ると消去される → **揮発性**



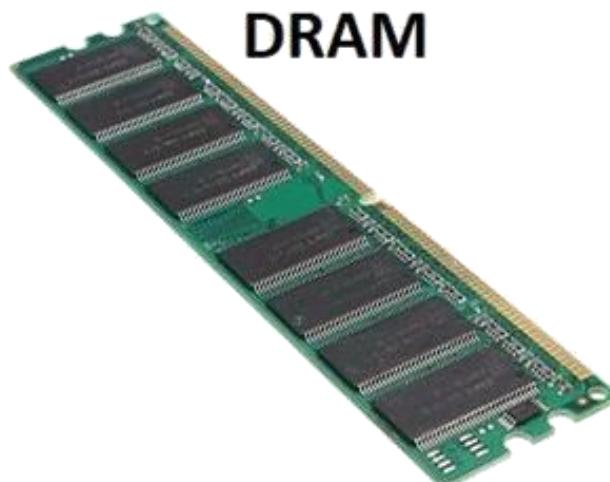
- ROM (Read Only Memory)

- 読み出し専用のメモリ
- 電源の状態に関係なく消去されない → **不揮発性**

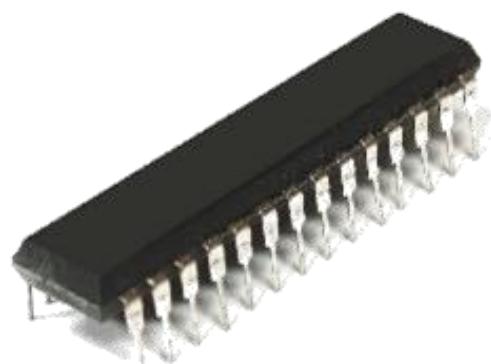


RAM (Random Access Memory)

- DRAM (Dynamic RAM)
 - コンデンサを使用
 - 安価で大容量化が可能
 - 読み書きは低速
 - 主記憶装置に使われる
 - リフレッシュ動作が必要

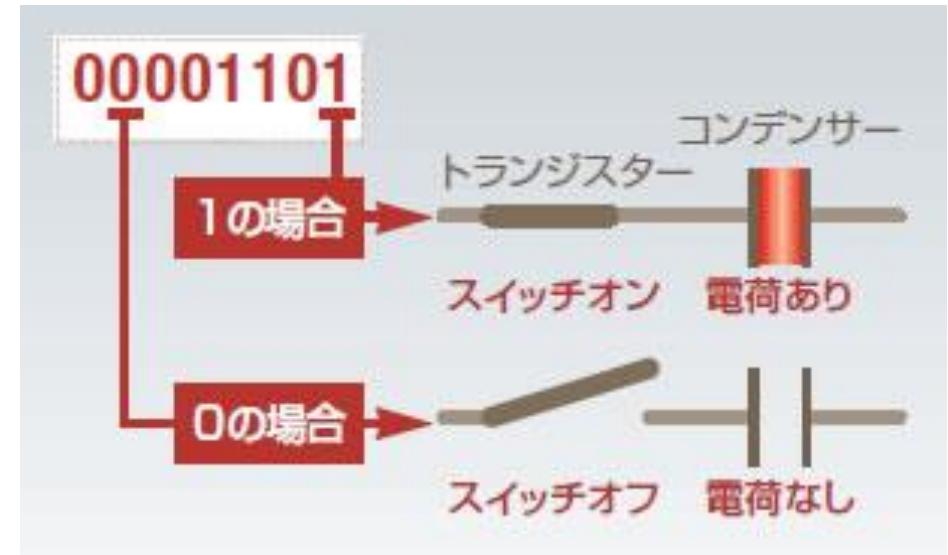
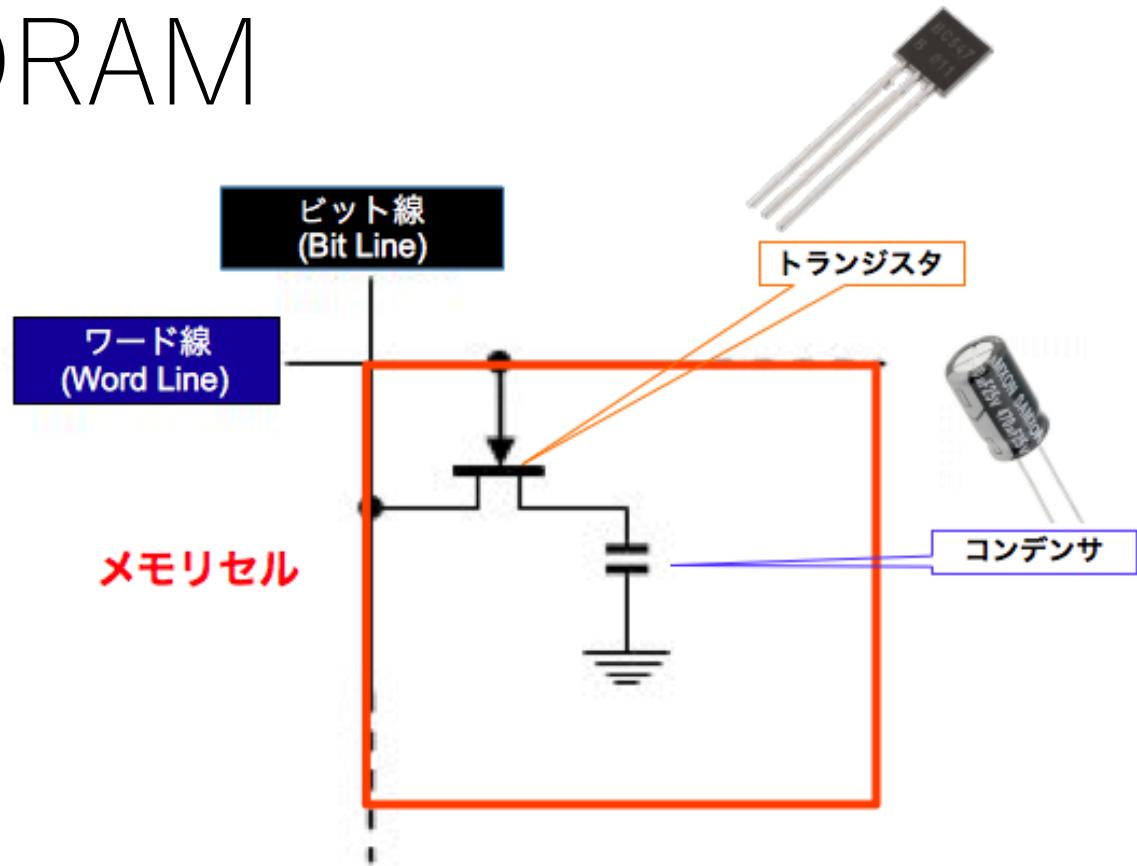


- SRAM (Static RAM)
 - フリップフロップ回路を使用
 - 高価で集積度は低い
 - 読み書きは高速
 - キャッシュメモリに使われる
 - リフレッシュ動作は不要



SRAM

DRAM



- トランジスタがスイッチの役割
- コンデンサに電荷を蓄えさせる（ビット情報を覚える）
- 電荷は放っておくと徐々に抜ける → 再度書き込み直す（リフレッシュ）

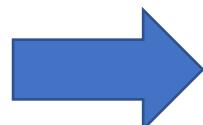
RS型フリップフロップ回路

フリップフロップ回路はシーソーのイメージ

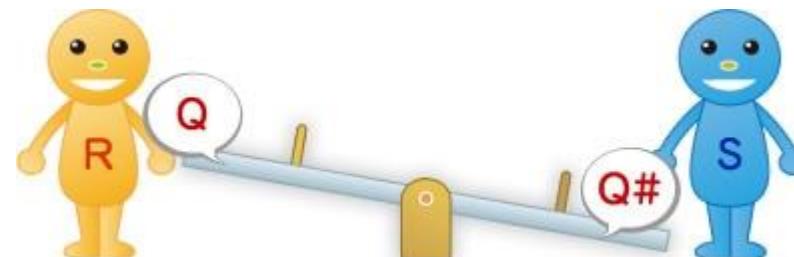
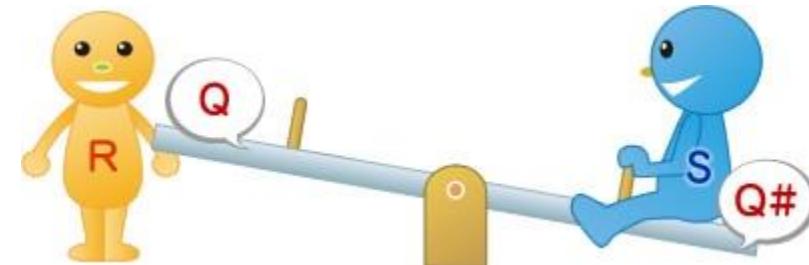
Set君とReset君のどちらかしかシーソーには乗れない。

Set君が乗ると、シーソーが傾いて出力Q側が上がる。

Set君がシーソーから降りても、シーソーの傾きはそのまま。



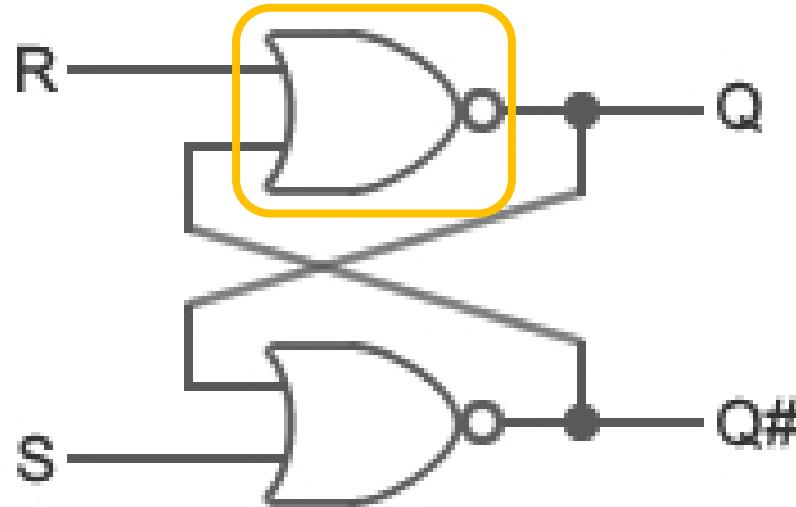
状態を保持できる



RS型フリップフロップ回路

真理値表

NOR回路 (OR回路+NOT回路)



SET	RESET	Q	Q #
0	0	保持	
0	1	0	1
1	0	1	0
1	1	禁止	

- SET側にいったん1が入力されると、SET側を0にしても出力Qはずっと1を出力し続ける。
- RESET側に1が入力されると、出力Qは0になり出力Q #はずっと1を出力する。

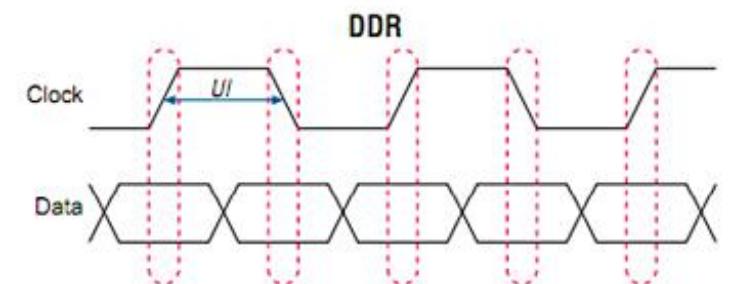
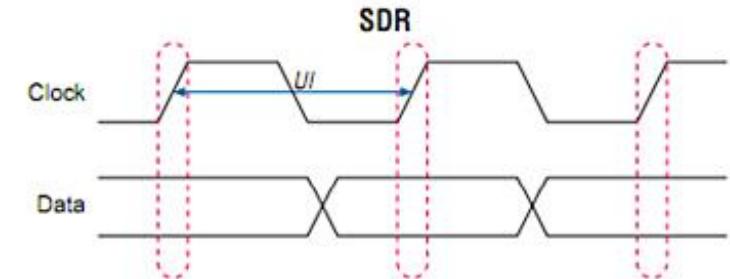
→ 通電している限り入力情報を保持できる（**リフレッシュ不要**）

SDRAM (Synchronous DRAM)

- DRAMの規格の1つ
- メモリのバスが一定周期のクロック周波数に同期して動作する。
- パイプライン処理が可能に。
- 現在メモリの主流の規格はDDR(Double Data Rate) SDRAM

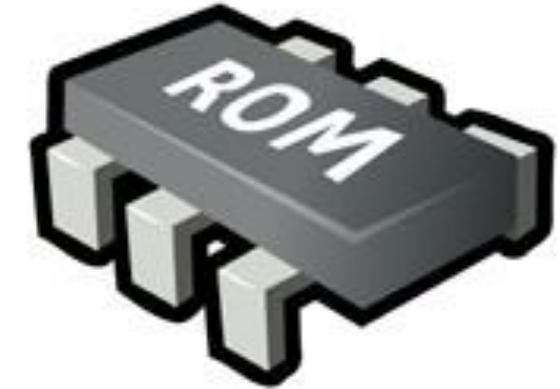
クロックの立ち上がりと立ち下りの両方を用いて、SDRAMの倍速でデータを転送する。

- DDR, DDR2, DDR3, DDR4, DDR5と新しい規格が策定されていった。第5世代のDDR5 SDRAMは2020年7月に出たばかり。

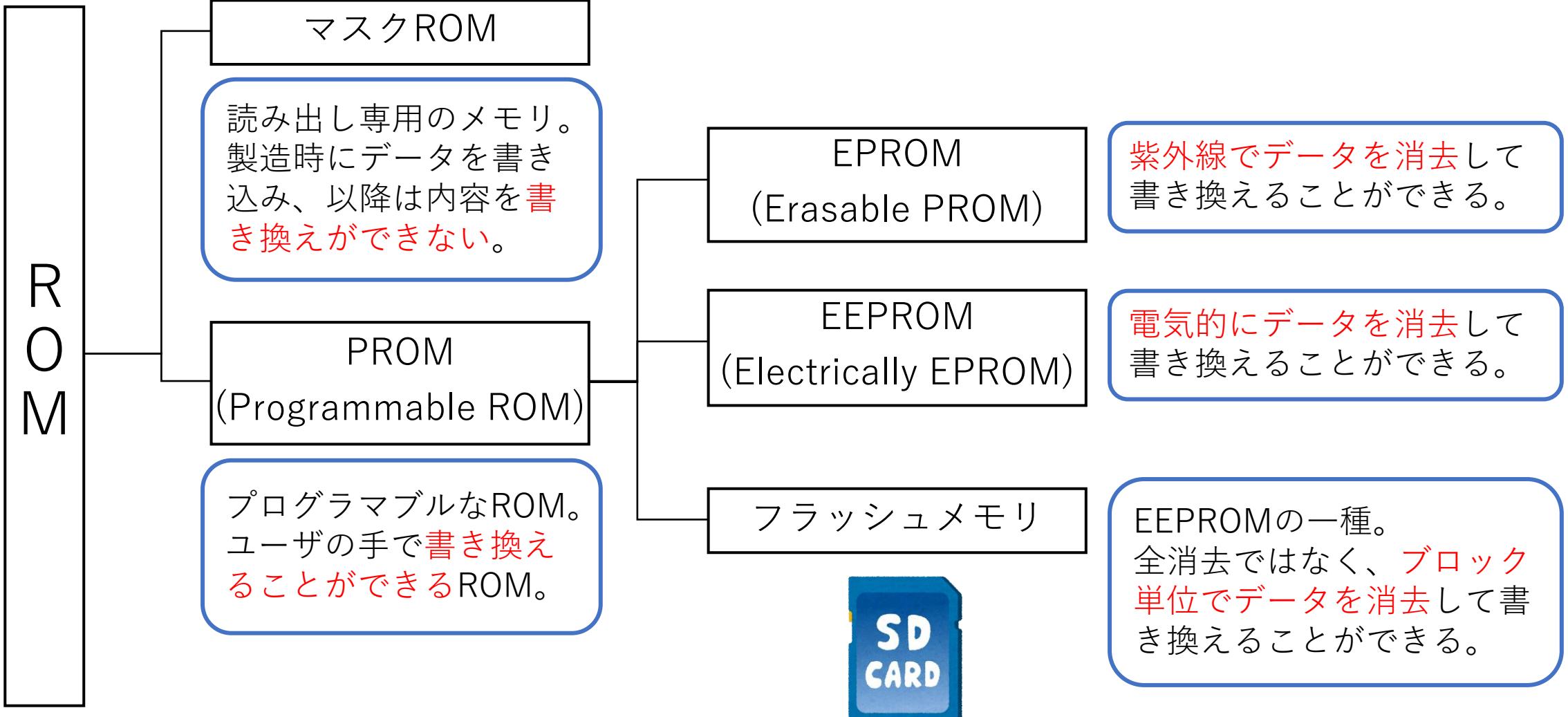


ROM (Read Only Memory)

- 読み出し専用のメモリ。
- 電源を切っても内容は保持される (不揮発性)。
- あらかじめ決められた動作を行わせるために使う。
- 家電製品の制御やパソコンの電源をオンにした直後の起動処理 (BIOS、ファームウェア) などに利用されている。
- 記憶内容の消去ができるROMも存在する。



ROM (Read Only Memory)

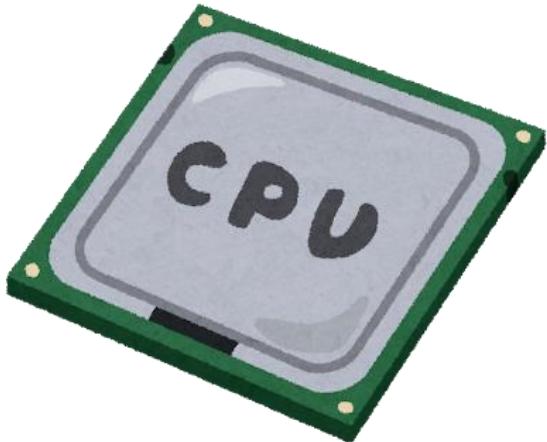


- RAM Random Access Memory
ランダムにアクセス
- ROM Read Only Memory
読み取りのみ
- DRAM Dynamic Random Access Memory
動的
- SRAM Static Random Access Memory
静的
- SDRAM Synchronous Dynamic Random Access Memory
同期の シンクロ
- マスクROM Mask ROM
仮面の 覆われた
- PROM Programmable Read Only Memory
プログラムできる
- EPROM Erasable Programmable Read Only Memory
消すことができる
- EEPROM Electrically Erasable Programmable Read Only Memory
電気的に

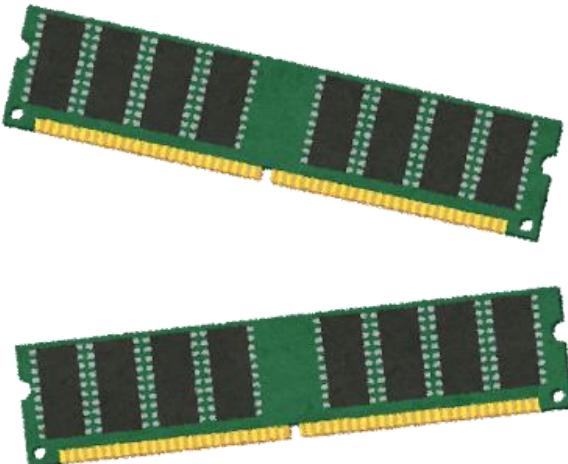
英単語が分かれば
迷わない！？

主記憶装置と高速化手法

CPUのレジスタ



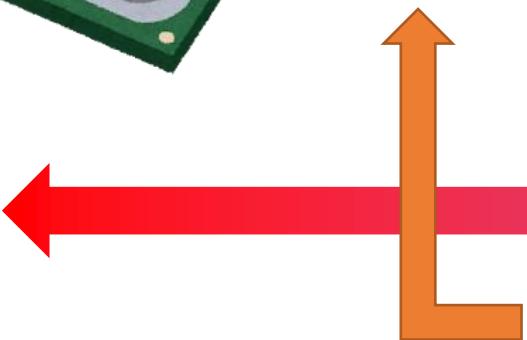
主記憶装置



ハードディスク



速い



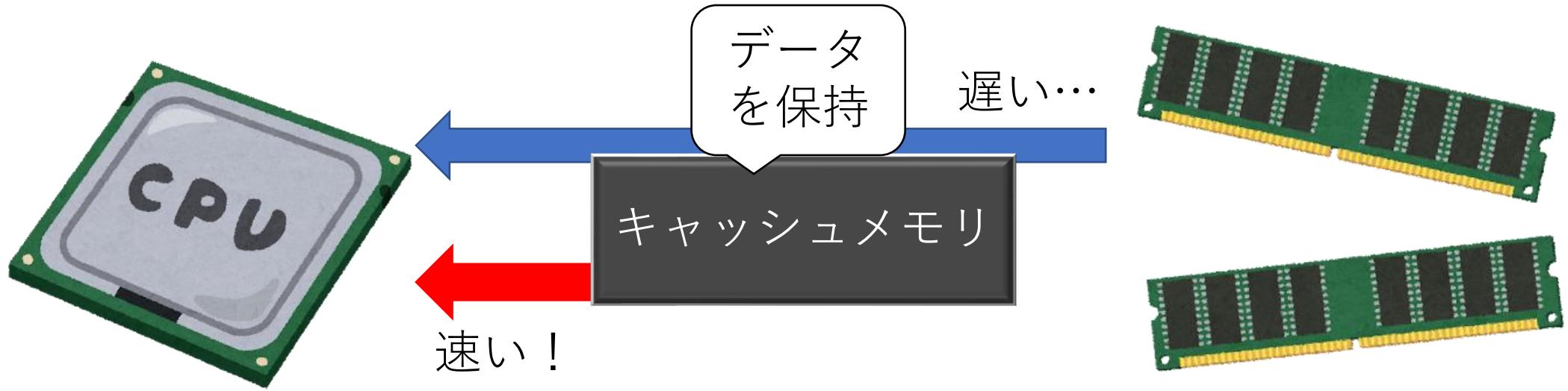
遅い

速度のギャップを埋めて
待ち時間のロスを防ぐ

キャッシュ

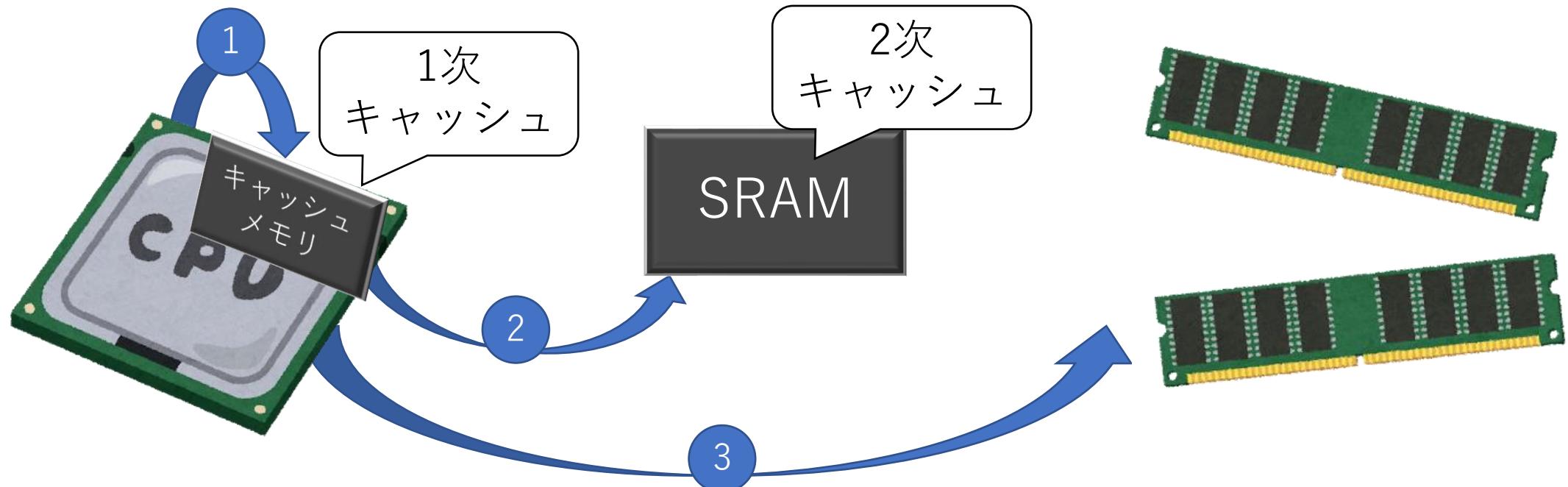
Cache : 隠し場所、貯蔵庫

キャッシュメモリ



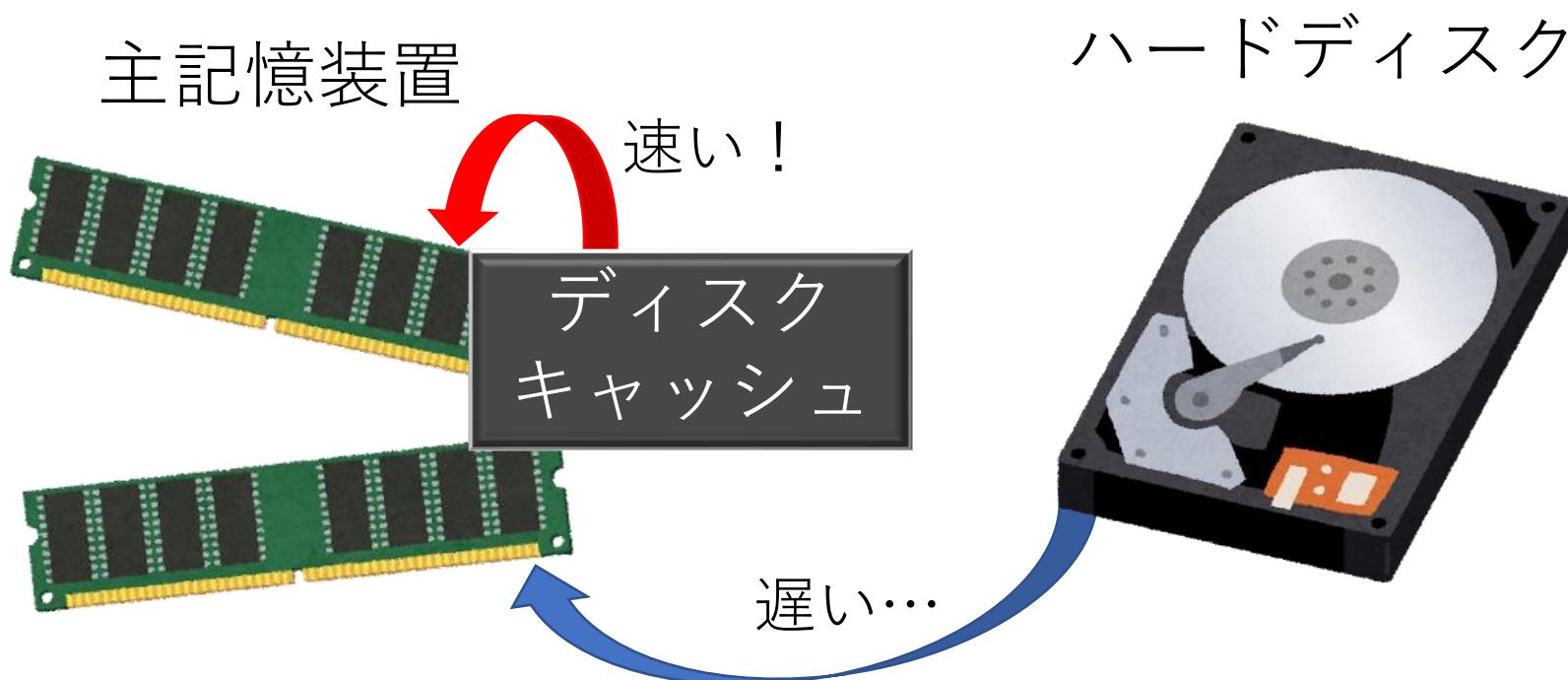
- CPUとメモリの間により高速に読み書きできるメモリを置いて、速度差によるロスを吸収させる。
- 主記憶装置から読み込んだデータはキャッシュメモリにも保持され、次に同じデータを読むときは、高速なキャッシュメモリから取得することができる。

キャッシュメモリ



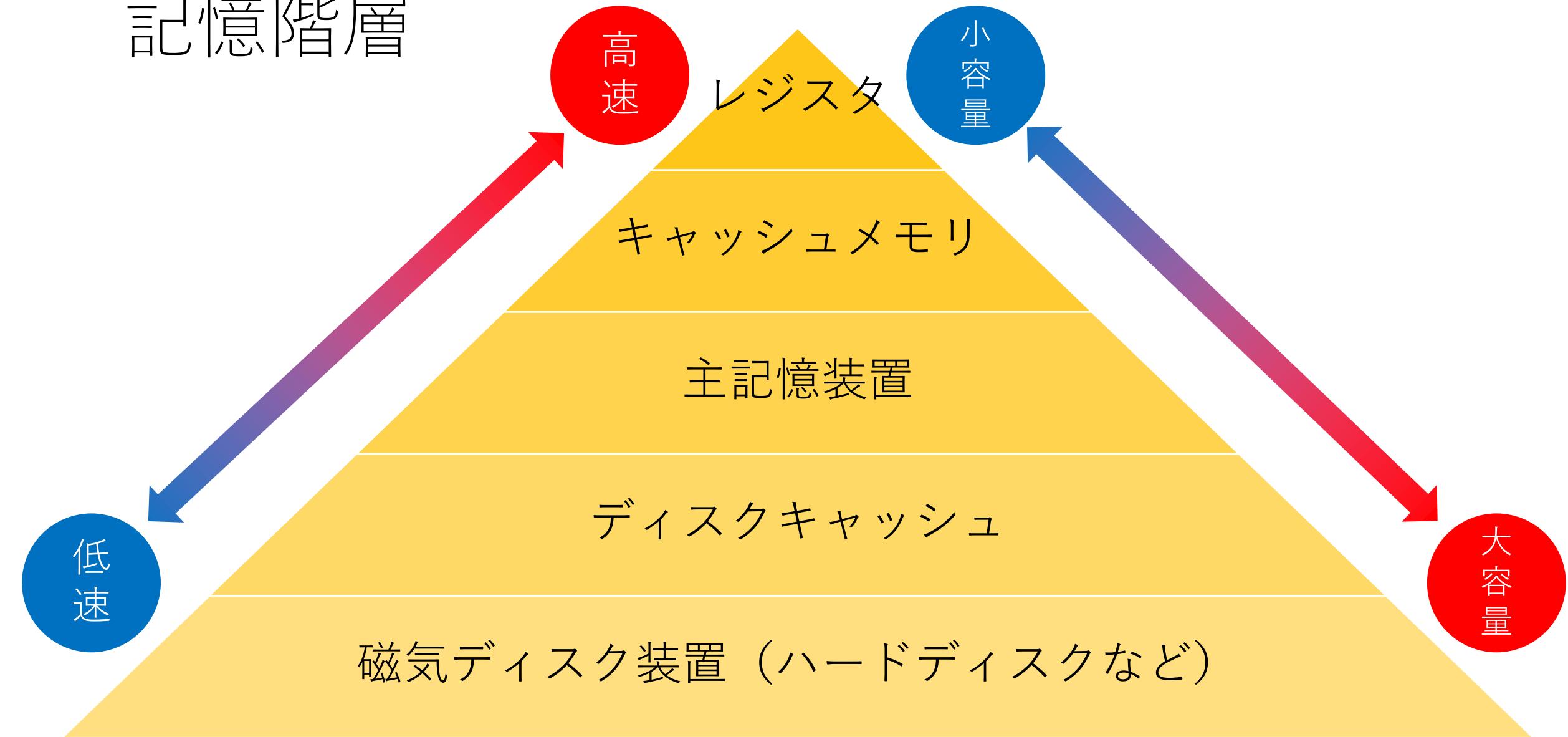
- キャッシュは重ねて設置することができる。
- キャッシュはCPUがアクセスする順番に応じて1次キャッシュ、2次キャッシュ・・・と名付けられる。

ディスクキャッシュ



- ディスクキャッシュは主記憶装置と磁気ディスクの間。
- 専用に半導体メモリを搭載したり、主記憶装置の一部を間借りするなどして実装する。

記憶階層

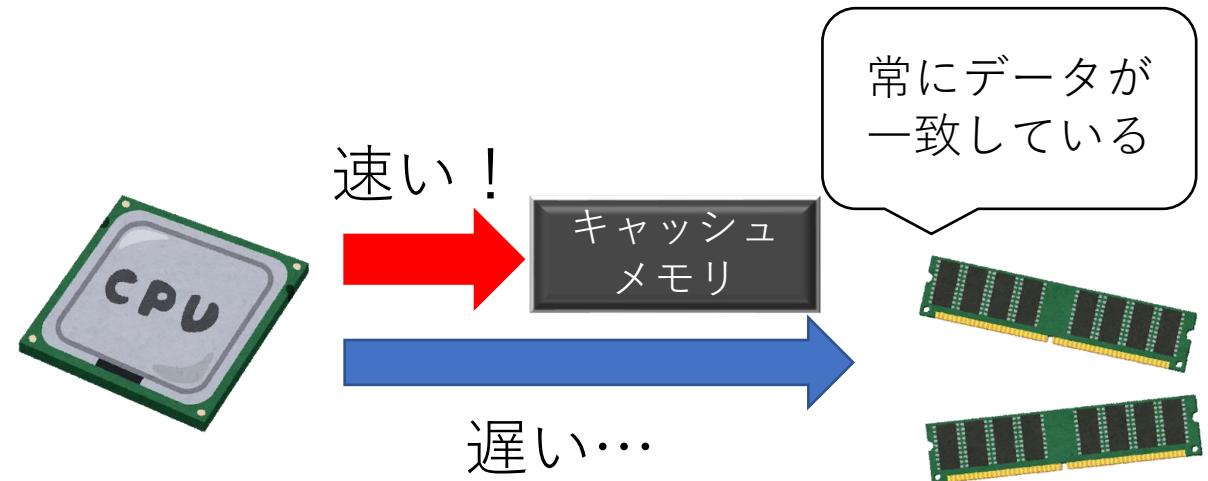


見かけ上は高速で大容量な記憶機能を実現できる

主記憶装置への書き込み方式

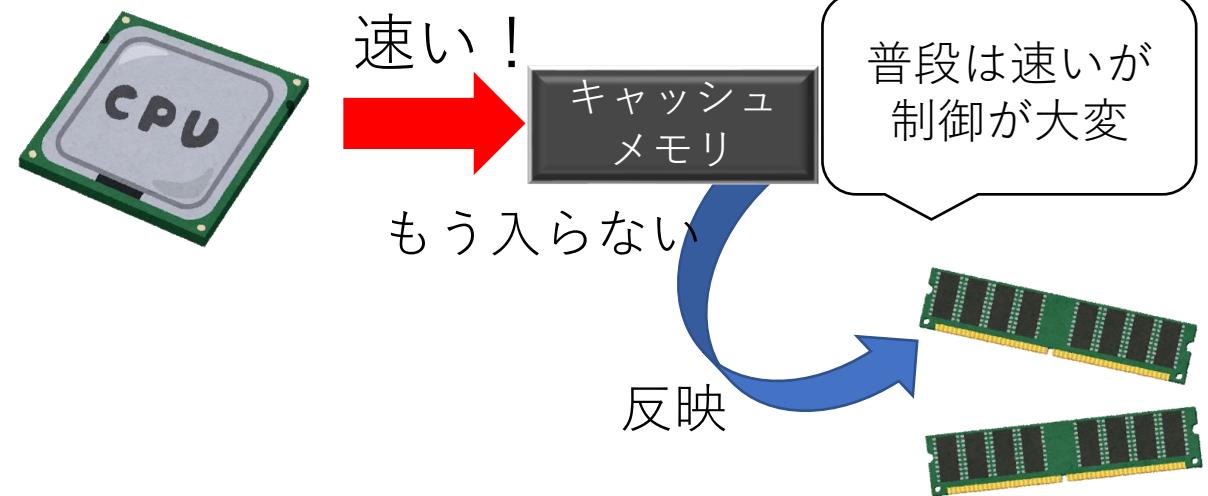
・ライトスルーウェイ

キャッシュメモリへの書き込みを行った際に、主記憶装置へも同時に書き込む。



・ライトバック方式

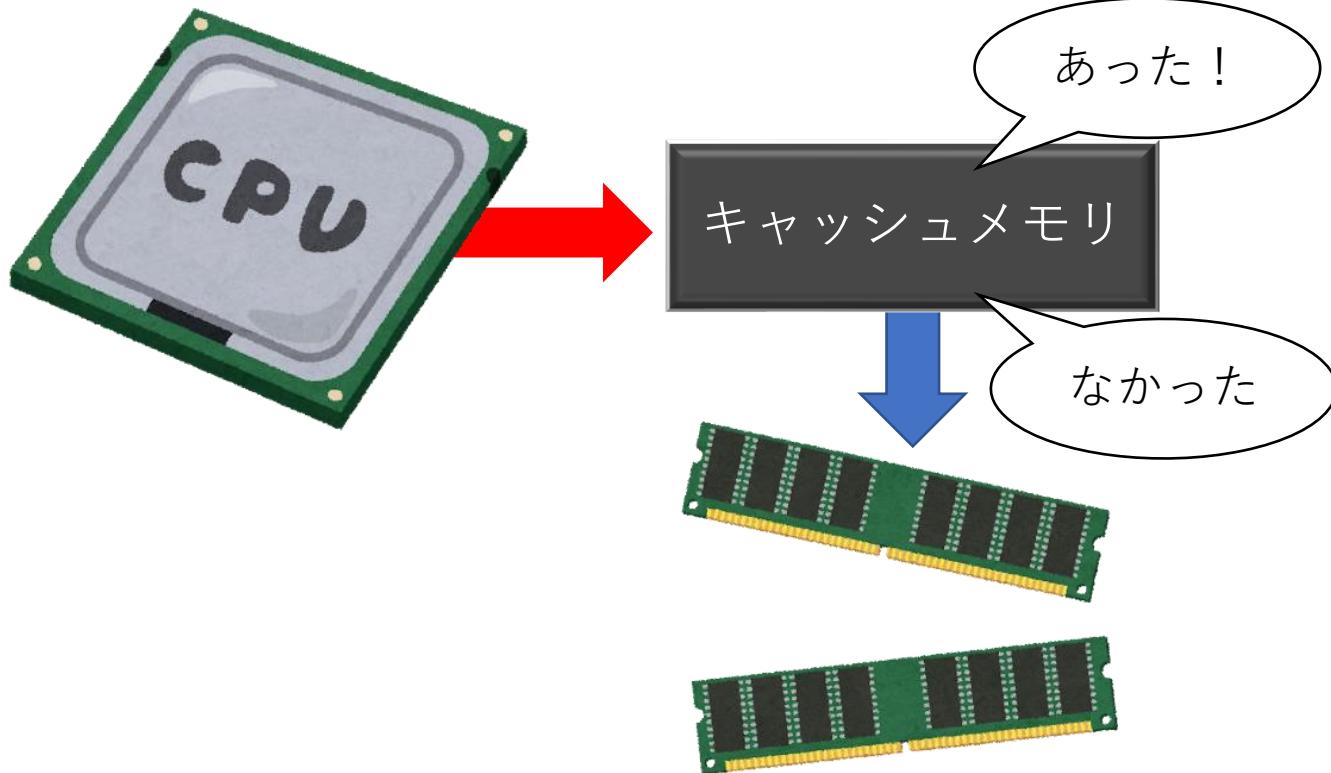
普段はキャッシュメモリにしか書き込みを行わず、キャッシュメモリから追い出されるデータが発生したときに更新内容を反映させる。



ヒット率と実効アクセス時間

- ヒット率

目的とするデータがキャッシュメモリに入っている確率



キャッシュメモリに目的の
データが存在する確率

= **ヒット率**

キャッシュメモリに目的の
データが存在せず、主記憶
装置を読みにいく確率

= **1 - ヒット率**

ヒット率と実効アクセス時間

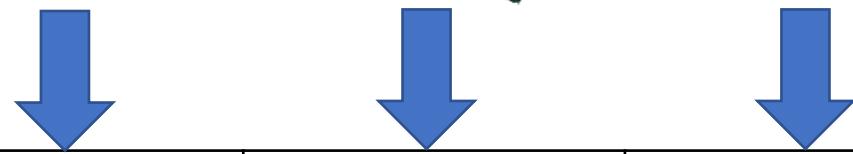
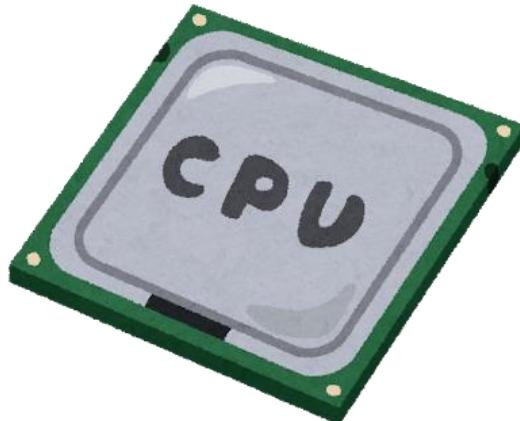
キャッシュメモリのアクセス時間 × ヒット率 …… ①

主記憶装置のアクセス時間 × (1 - ヒット率) …… ②

① + ② = **実効アクセス時間**

アクセス時間の平均値

メモリインタリーブ



0番地	1番地	2番地
3番地	4番地	5番地
6番地	7番地	8番地
9番地	10番地	11番地
・	・	・
バンク0	バンク1	バンク2

- 主記憶装置へのアクセスを高速化する手法。
- 主記憶装置の中を複数の区画（バンク）に分割。
- 複数バンクを同時アクセスすることで、連続した番地のデータを一気に読みだすことができる。
- 連続しないデータの読み出しにはあまり効果なし。

過去問

問1 主記憶のアクセス時間が60ナノ秒、キャッシュメモリのアクセス時間が10ナノ秒であるシステムがある。キャッシュメモリを介して主記憶にアクセスする場合の実効アクセス時間が15ナノ秒であるとき、キャッシュメモリのヒット率は幾らか。

ア 0.1

イ 0.17

ウ 0.83

エ 0.9

過去問

問1 主記憶のアクセス時間が60ナノ秒、キャッシュメモリのアクセス時間が10ナノ秒であるシステムがある。キャッシュメモリを介して主記憶にアクセスする場合の実効アクセス時間が15ナノ秒であるとき、キャッシュメモリのヒット率は幾らか。

ヒット率を x とすると、

$$\frac{10 \times x}{\text{キャッシュメモリへのアクセス時間}} + \frac{60 \times (1 - x)}{\text{主記憶へのアクセス時間}} = 15$$

$$10x + 60 - 60x = 15$$

$$50x = 45$$

$$x = 0.9$$

A. 工

過去問

問 A~Dを主記憶の実効アクセス時間が短い順に並べたものはどれか。

	キャッシュメモリ			主記憶
	有無	アクセス時間 (ナノ秒)	ヒット率 (%)	アクセス時間 (ナノ秒)
A	なし	—	—	15
B	なし	—	—	30
C	あり	20	60	70
D	あり	10	90	80

- ア A, B, C, D
ウ C, D, A, B

- イ A, D, B, C
エ D, C, A, B

キャッシュメモリ			主記憶
有無	アクセス時間 (ナノ秒)	ヒット率 (%)	アクセス時間 (ナノ秒)
A なし	—	—	15
B なし	—	—	30
C あり	20	60	70
D あり	10	90	80

A 15ナノ秒

B 30ナノ秒

C $\frac{20 \times 0.6 + 70 \times (1-0.6)}{\text{キャッシュメモリへのアクセス時間} + \text{主記憶へのアクセス時間}} = 12 + 28 = 40\text{ナノ秒}$

キャッシュメモリ
へのアクセス時間 主記憶への
アクセス時間

D $\frac{10 \times 0.9 + 80 \times (1-0.9)}{\text{キャッシュメモリへのアクセス時間} + \text{主記憶へのアクセス時間}} = 9 + 8 = 17\text{ナノ秒}$

キャッシュメモリ
へのアクセス時間 主記憶への
アクセス時間

A, D, B, Cの順

A. イ

参考URL

- <https://elite-lane.com/dram/>
- <https://www.renesas.com/jp/ja/support/engineer-school/digital-circuits-03-sequential-logic>
- <https://www.paltek.co.jp/techblog/techinfo/201020-1>
- https://e-words.jp/w/DDR_SDRAM.html

過去問

問1 DRAMの特徴はどれか？

- ア 書込みおよび消去を一括またはブロック単位で行う。
- イ データを保持するためのリフレッシュ操作またはアクセス操作が不要。
- ウ 電源が遮断された状態でも、記憶した情報を保持することができる。
- エ メモリセル構造が単純なので高集積化することができ、ビット単価を安くできる。

過去問

問2 コンデンサに蓄えた電荷の有無で情報を記憶するメモリはどれか？

- ア EEPROM
- イ SDRAM
- ウ SRAM
- エ フラッシュメモリ

過去問

問3 メモリセルにフリップフロップ回路を利用したものはどれ？

- ア DRAM
- イ EEPROM
- ウ SDRAM
- エ SRAM

過去問

問4 フラッシュメモリに関する記述として適切なものはどれか？

- ア 高速に書き換えができる、CPUのキャッシュメモリに用いられる。
- イ 紫外線で全データを一括消去できる。
- ウ 周期的にデータの再書き込みが必要である。
- エ ブロック単位で電気的にデータの消去ができる。

過去問

問5 組込みシステムのプログラムを格納するメモリとして、マスクROMを使用するメリットはどれか？

- ア 紫外線照射で内容を消去することによって、メモリ部品を再利用することができる。
- イ 出荷後のプログラムの不正な書き換えを防ぐことができる。
- ウ 製品の量産後にシリアル番号などの個体識別データを書き込むことができる。。
- エ 動作中に主記憶が不足した場合、補助記憶として使用することができる。

過去問

問6 コンピュータの電源投入時に最初に実行されるプログラムの格納に適しているものはどれか。ここで主記憶のバッテリバックアップはしないものとする。

- ア DRAM
- イ HDD
- ウ ROM
- エ SRAM

過去問

問2 キャッシュの書き込み方式にはライトスルー方式とライトバック方式がある。ライトバック方式を使用する目的として、適当なものはどれか。

- ア キャッシュと主記憶の一貫性（コヒーレンシ）を保ちながら、書き込みを行う。
- イ キャッシュミスが発生したときに、キャッシュの内容を主記憶への書き戻しを不要にする。
- ウ 個々のプロセッサがそれぞれのキャッシュをもつマルチプロセッサシステムにおいて、キャッシュ管理をライトスルー方式よりもかんたんな回路構成で実現する。
- エ プロセッサから主記憶への書き込み頻度を減らす。

過去問

問 プロセッサにデータを読み込むときに、キャッシュメモリがヒットしなかった場合、キャッシュメモリ制御装置が行う動作はどれか？

- ア キャッシュメモリから所要のデータをブロック転送し、磁気ディスクに書き込む。
- イ 磁気ディスクから所要のデータをブロック転送し、キャッシュメモリに読み込む
- ウ 主記憶から所要のデータをブロック転送し、キャッシュメモリに読み込む。
- エ ディスクキャッシュから所要のデータをブロック転送し、主記憶に読み込む。